

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-113690  
 (43)Date of publication of application : 21.04.2000

(51)Int.CI. G11C 16/06

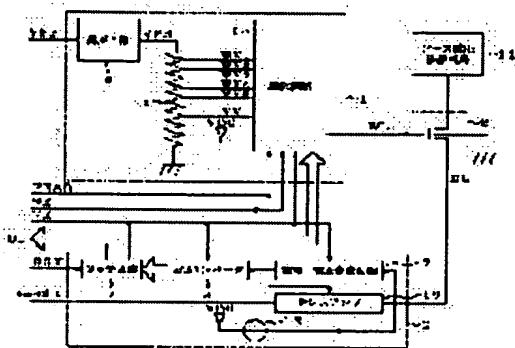
(21)Application number : 10-277859 (71)Applicant : NEC IC MICROCOMPUT SYST LTD  
 (22)Date of filing : 30.09.1998 (72)Inventor : MASAKI TORU

## (54) SEMICONDUCTOR NONVOLATILE MEMORY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable effective writing even if the write characteristic is changed to reduce the write time by determining whether the threshold value of an electrical programmable nonvolatile memory cell is identical to the reference potential or not and then controlling the write voltage depending on the result of determination.

**SOLUTION:** A high voltage VPP is input to a voltage boosting circuit 104. Depending on the data DL which has been initialized in a determination circuit 2 and read to a selecting circuit 6, the lowest write voltage WV5 is selected from the write voltages WV 1 to 5 and it is then impressed to a control gate of memory cell 3 for the purpose of data writing. A determination reference voltage VV is applied to the control gate of the memory cell 3 and a current across the drain and source is converted to the data DL via the current - voltage converting circuit 9 and A/D converter 8. When the data DL is read and the threshold value of memory cell 3 has not reached the write determination reference voltage VV, the higher write voltage WV 1 to 4 is selected and this selection is repeated.



## LEGAL STATUS

[Date of request for examination] 30.09.1998  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3145981  
 [Date of registration] 05.01.2001  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-113690  
(P2000-113690A)

(43)公開日 平成12年4月21日 (2000.4.21)

(51)Int.Cl.<sup>7</sup>  
G 1 1 C 16/06

識別記号

F I  
G 1 1 C 17/00

6 3 3 D 5 B 0 2 5  
6 3 4 F

テーマコード(参考)

審査請求 有 請求項の数 6 O.L (全 13 頁)

(21)出願番号 特願平10-277859

(22)出願日 平成10年9月30日 (1998.9.30)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番53

(72)発明者 正木 徹

神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコンシステム株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)  
F ターム(参考) 5B025 AA03 AD03 AD04 AD10 AE05  
AE08

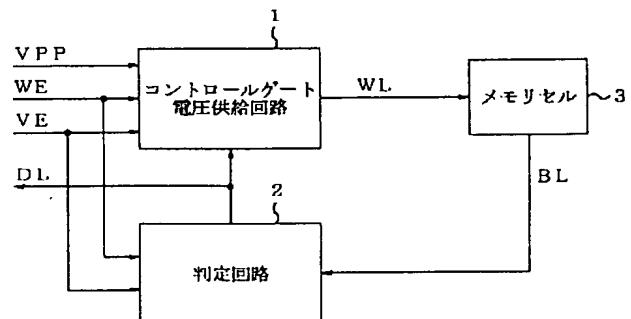
(54)【発明の名称】 半導体不揮発性記憶装置

(57)【要約】

【課題】 半導体不揮発性記憶装置では、書き込み判定基準電位まで書き込むためには、書き込み時間を本来必要な書き込み時間に対して余分に設定する必要があることから、書き込み時間が増大して生産コストの増大を招いていた。また、書き込み時間を一定の時間に制限すると、製造歩留の低下を招いていた。

【解決手段】 書き換え可能な不揮発性のメモリセル3にデータを書き込む手段と、データを読み出す手段とを備えた不揮発性記憶装置として、判定信号V\_Eにより

"1" レベルのデータを書き込まれたメモリセル3のしきい値がピット線BLを介して、基準電位であるかを判定して判定結果を出力する判定回路2と、書き込み信号WEがイネーブルの期間に、判定結果によりワード線WLを介してメモリセル3に対する書き込み電圧を制御するコントロールゲート電圧供給回路1とを有する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 記憶内容を電気的に書き換える可能な不揮発性のメモリセルと、このメモリセルにデータを書き込む手段およびそのデータを読み出す手段とを備えた半導体不揮発性記憶装置において、“1”レベルのデータが書き込まれたメモリセルのしきい値が基準電圧であるかを判定して判定結果を出力する判定回路と、前記判定結果により前記メモリセルに対する書き込み電圧を制御するコントロールゲート電圧供給回路とを有する事を特徴とする半導体不揮発性記憶装置。

【請求項2】 前記コントロールゲート電圧供給回路は、装置外部より供給される高電圧を昇圧して昇圧電圧を発生させる昇圧回路と、前記昇圧電圧を抵抗分割して複数の書き込み電圧、および書き込み判定基準電圧を生成する抵抗回路と、前記判定回路から出力されるデータを読み込んで、書き込み信号がイネーブルの期間は、前記複数の書き込み電圧のいずれかを、判定信号がイネーブルの期間では前記書き込み判定基準電圧を、読み出し信号がイネーブルの期間では電源電圧を選択し、ワード線を介してメモリセルのコントロールゲートに出力する選択回路とから成り、前記判定回路は、前記書き込み信号がイネーブルの期間は、電源電圧をピット線を介して前記メモリセルのドレイン端子に出力するトランジスタスイッチ回路と、前記判定信号がイネーブルの期間は、前記メモリセルのドレイン端子—ソース端子間の電流値をピット線を介して読み込んでその電流値に応じた電圧を出力する電流—電圧変換回路と、この電流—電圧変換回路の前記出力電圧をデジタル変換し変換データを出力するA/Dコンバータと、前記変換データをラッチし、前記コントロールゲート電圧供給回路および装置外部端子に出力するラッチ回路と、前記読み出し信号がイネーブルの期間は、前記メモリセルのドレイン—ソース端子間の電流をピット線を介して読み込んでリードデータを出力するセンスアンプとから成る請求項1記載の半導体不揮発性記憶装置。

【請求項3】 前記コントロールゲート電圧供給回路の抵抗回路は、昇圧電圧を降圧して書き込み判定基準電圧を生成する抵抗回路と、前記判定回路から出力されるデータを入力し、抵抗値を可変させて書き込み電圧を生成する可変抵抗回路とからなり、前記判定回路は、前記判定信号がイネーブルの期間は、メモリセルのドレイン端子—ソース端子間の電流を容量素子に充電する第1のスイッチ回路と、前記書き込み信号がイネーブルの期間は、電源電圧をピット線を介してメモリセルのドレイン端子に出力するトランジスタスイッチ回路と、前記容量素子の電圧値をデータとして前記可変抵抗回路に出力する第2のスイッチ回路と、前記読み出し信号がイネーブルの期間は、前記メモリセルのドレイン—ソース端子間の電流をピット線を介して読み込んで、リードデータを出力するセンスアンプ回路とからなる請求項1記載の半

## 導体不揮発性記憶装置。

- 【請求項4】 前記コントロールゲート電圧供給回路は、装置外部より供給される高電圧を昇圧して昇圧電圧を発生させる昇圧回路と、前記昇圧電圧を抵抗分割して複数の書き込み電圧、および複数の書き込み判定基準電圧を生成する抵抗回路と、前記判定回路から出力されるデータを入力して複数の書き込み電圧の中から選択する第1のスイッチング回路と、前記判定回路のカウンタ回路から出力される所定のカウント値を入力して前記複数の書き込み判定基準電圧の中から選択する第2のスイッチング回路と、書き込み電圧、および書き込み判定基準電圧を切り替えて、前記リード線を介してメモリセルのコントロールゲートに出力する第3のスイッチング回路とから成り、前記判定回路は、装置外部より入力されるペリファイデータとセンスアンプから入力されるリードデータの照合を行い、判定結果を前記カウンタ回路、および装置外部に出力する比較回路と、前記カウンタ回路よりカウント値を読み込み、また前記比較回路より前記判定結果を読み込んで、前記リードデータと前記ペリファイデータが一致した場合はその時点のカウント値をラッチするラッチ回路と、メモリリード時には電源電圧を、書き込み判定時には接地レベルより僅かに高い電圧を前記センスアンプに与え、書き込み時には電源電圧をピット線を介して前記メモリセルのドレイン端子に与えるドレイン電圧供給回路と、メモリリード時、および書き込み判定時には前記メモリセルのドレイン—ソース間電流を読み込み、リードデータを出力する前記センスアンプとから成る請求項1記載の半導体不揮発性記憶装置。
- 【請求項5】 前記メモリセルがフラッシュROMのような電気的に消去可能な記憶素子の場合においては、書き込み、判定、および読み出し動作時は接地レベルの電圧を、消去動作時は高電圧を前記メモリセルのソース端子に出力するソース電圧供給回路を備えたことを特徴とする請求項1乃至4記載の半導体不揮発性記憶装置。
- 【請求項6】 前記抵抗回路がポリサイド抵抗であることを特徴とする請求項2乃至4記載の半導体不揮発性記憶装置。
- 【発明の詳細な説明】
- 【0001】 【発明の属する技術分野】 本発明は、半導体不揮発性記憶装置に関し、特にそのデータ書き込み回路に関する。 【0002】 【従来の技術】 従来の半導体不揮発性記憶装置としては、特開平4-139697号公報に示すものがある。この半導体不揮発性記憶装置は、図10の断面図に示すように、P型基板100上にフィールド酸化膜101が形成され、このフィールド酸化膜101間に、N+拡散層のソース領域102とドレイン領域103を形成している。ソース領域102とドレイン領域103の間の

上部にはゲート酸化膜110を介してフローティングゲート111及びコントロールゲート112よりなる不揮発性メモリセル104を設け、またP型基板100上にはP型拡散層からなるバックゲート層105が形成され、このバックゲート層105には不揮発性メモリセル104に対してデータ書き込み時に同期して低電圧側共通電源VSSよりさらに低いバックゲート電圧VBGを印加するバックゲート電圧供給回路106が接続されている。

【0003】また、この半導体不揮発性記憶装置の回路構成は、図11に示されるとおり、各ビット線BL1～BLnと各ワード線WL1、WL1～WLnとの間には不揮発性のメモリセルM11～Mnnが接続されてセルアレイSAが構成され、各メモリセルはバックゲート電圧供給回路106に接続されている。

【0004】このバックゲート電圧供給回路106より、不揮発性メモリセル104のバックゲートにP型基板100、およびバックゲート層105を介して、バックゲート電圧供給回路106から供給される負電位VBGを印加することで、コントロールゲート112の電位を相対的に高くして、メモリセル104のフローティングゲート111に注入される電荷量を増やし、書き込み時間の低減をはかっていた。

#### 【0005】

【発明が解決しようとする課題】上述した従来の半導体不揮発性記憶装置においては、つぎのような問題があった。第1点目は、書き込みデータの信頼性の低下、もしくは生産性の低下、第2点目は、生産コストの増大、あるいは製造歩留まりの低下である。

【0006】まず第1の問題点として、上述した従来例の半導体不揮発性記憶装置の書き込みは、書き込み対象となるメモリセル以外のセル、すなわち非選択セルのバックゲートにまで負電位VBGが印加されてしまうため、すでに書き込まれているメモリセルのデータの保持抜けを起こしてしまい、データの信頼性の低下を招いていた。これを防ぐためには、メモリセル毎にP型基板100を分離する必要が生じてレイアウト面積が増大し、生産性の低下を招いていた。

【0007】つぎに第2の問題点について説明する。最初に、フローティングゲートを有するMOSトランジスタで構成されるメモリセルの書き込み特性を図9により説明する。

【0008】図9は、0.6μmプロセスのフラッシュROMの書き込み特性のグラフであり、横軸には書き込み時間tpの対数、縦軸にはメモリセルのしきい値Vthをとっている。図中2つの曲線A、曲線Bは、コントロールゲート電圧が高い場合、および低い場合の2つの条件に設定した時の各々の書き込み特性である。図9の特性グラフからもわかるように、書き込み時間tpが小さい書き込み動作の初期の段階では、コントロールゲー

ト電圧が低いほどメモリセルのしきい値Vthは高く、書き込み時間tpが大きい、書き込み動作の後半では、コントロールゲート電圧が高いほどメモリセルのしきい値Vthは高くなっている。個々のメモリセル、製造ロットによる不純物注入量のずれやフローティングゲートと基板間のゲート酸化膜の厚さのずれ、あるいは製造プロセスの違いによるメモリセルの寸法の差異などによって、図9中の2つの曲線A、曲線Bは前後、あるいは上下に推移するが、書き込み動作の初期段階は、コントロールゲート電圧が低い方が、書き込み動作の後半では、コントロールゲート電圧が高い方が書き込み特性がよい。これは、書き込み動作の初期段階において、コントロールゲート電圧が高いとドレインーソース間のチャネル形成が助長される方向に働くので、空乏層が形成されにくく、空乏層が形成されにくいとピンチオフ点が発生しにくいので、キャリアは高いエネルギーを持たず、ホットエレクトロンになりにくくなる。ホットエレクトロンの発生量が少ないとフローティングゲートに蓄積されるキャリアも少なくなるので、書き込み特性が悪くなる。その後、時間が経過すると、ドレインーソース間のキャリア移動による電界が生じて空乏層が形成され、ホットエレクトロンが発生してフローティングゲートに注入され始める。

【0009】この時点でホットエレクトロンは、コントロールゲート電圧のより高い方が、ゲート酸化膜の障壁を容易に飛び越えられ、フローティングゲートに注入される電荷量が多く、書き込み特性が良くなる。なお、メモリセルのフローティングゲート内に電荷が蓄積された状態を「“1”レベルのデータが書き込まれている」とし、フローティングゲート内の電荷が空乏である状態を「“0”レベルのデータが書き込まれている」とする。また、メモリセルの書き込みを判定する基準電位である書き込み判定基準電位は、図9中、2つの曲線が交差する付近である。

【0010】なお図9中、書き込み判定基準電位は一定の値を持っておらず、ある範囲で示されているが、これは書き込み判定基準電圧を高くすれば、書き込み完了後のフローティングゲートの電位が高いため書き込みデータの信頼性の向上にはつながるが、必要以上に書き込み判定基準電位を高くすると書き込み時間の増大を招き、またそれに伴ってメモリセルにかかるストレスも増加する。例えば、図9の書き込み判定基準電位を5Vから6Vに高くした場合を考慮すると、1バイトにつき100μsの書き込み時間増大になり、256Kバイトのメモリにおいては、25.6sの書き込み時間の増大になる。これは、製品の信頼性、即ち書き込みデータの保証年数や動作保証範囲などによって変わるものである。

【0011】図9に示されるとおり、全てのメモリセル、製造ロット、および製造プロセスの書き込み特性が、全く同じ書き込み特性であり、かつ書き込み判定基

準電位が高い場合であれば、コントロールゲート電圧を高くすれば書き込み時間の短縮になるが、書き込み判定基準電位が低い場合には、コントロールゲート電圧を低くした方が逆に書き込み時間は短くなる、すなわち、製品や製造ばらつきによって、一概に書き込み電圧を高くすれば、書き込み判定基準電圧まで書き上げる時間を短縮できるとは限らない。また、全てのメモリセル、製造ロットの書き込み特性を同じ特性にそろえるのは事实上不可能である。

【0012】メモリセル内のフローティングゲートに蓄積されたキャリアは、ディスターブや熱ストレスなどにより放出していくため、メモリセルのしきい値は徐々に低下していく。そのため、書き込み判定基準電位は、データリテンション保証のため、この劣化分をマージンとして確保する必要があり、一般的にはメモリリード時の読み出し電圧より数V高い電圧を設定する。また、データが書き込まれているか否かを判断するのに、フローティングゲートの電位が書き込み判定基準電位に到達しているか否かで判断を行う。従来の装置および方法では、書き込み判定基準電位まで書き込むためには、書き込み時間を本来必要な書き込み時間に対して余分に設定する必要があることから、書き込み時間が増大して生産コストの増大を招いていた。また生産コストを削減するため、書き込み時間を一定の時間に制限すると、製造歩留の低下を招いていたという欠点があった。

【0013】本発明の目的は、書き込み状態の判定動作を頻繁に行うこと、個々のメモリセル、製造ロット、および製造プロセスによって書き込み特性が変動しても、最も効率的な書き込みが図れ、書き込み時間の低減が実現できる半導体不揮発性記憶装置を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明の半導体不揮発性記憶装置は、記憶内容を電気的に書き換え可能な不揮発性のメモリセルと、このメモリセルにデータを書き込む手段およびそのデータを読み出す手段とを備えた半導体不揮発性記憶装置において、“1”レベルのデータが書き込まれたメモリセルのしきい値が基準電位であるかを判定して判定結果を出力する判定回路と、前記判定結果により前記メモリセルに対する書き込み電圧を制御するコントロールゲート電圧供給回路とを有する。

【0015】また、前記コントロールゲート電圧供給回路は、装置外部より供給される高電圧を昇圧して昇圧電圧を発生させる昇圧回路と、前記昇圧電圧を抵抗分割して複数の書き込み電圧、および書き込み判定基準電圧を生成する抵抗回路と、前記判定回路から出力されるデータを読み込んで、書き込み信号がイネーブルの期間は、前記複数の書き込み電圧のいずれかを、判定信号がイネーブルの期間では前記書き込み判定基準電圧を、読み出し信号がイネーブルの期間では電源電圧を選択し、ワ-

ト線を介してメモリセルのコントロールゲートに出力する選択回路とから成り、前記判定回路は、書き込み信号がイネーブルの期間は、電源電圧をビット線を介してメモリセルのドレイン端子に出力するトランジスタスイッチ回路と、判定信号がイネーブルの期間は、前記メモリセルのドレイン端子—ソース端子間の電流値をビット線を介して読み込んで、その電流値に応じた電圧を出力する電流—電圧変換回路と、この電流—電圧変換回路の前記電圧をデジタル変換しデータを生成するA/Dコンバータと、前記データをラッチし、前記コントロールゲート電圧供給回路および装置外部端子に出力するラッチ回路と、前記読み出し信号がイネーブルの期間は、前記メモリセルのドレイン—ソース端子間の電流をビット線を介して読み込んで、リードデータを出力するセンスアンプとから成る。

【0016】また、前記コントロールゲート電圧供給回路の抵抗回路は、昇圧電圧を降圧して書き込み判定基準電圧を生成する抵抗回路と、前記判定回路から出力されるデータを入力し、抵抗値を可変させて書き込み電圧を生成する可変抵抗回路とからなり、前記判定回路は、前記判定信号がイネーブルの期間は、メモリセルのドレイン端子—ソース端子間の電流を容量素子に充電する第1のスイッチ回路と、前記書き込み信号がイネーブルの期間は、電源電圧をビット線を介してメモリセルのドレイン端子に出力するトランジスタスイッチ回路と、前記容量素子の電圧値をデータとして前記可変抵抗回路に出力する第2のスイッチ回路と、前記読み出し信号がイネーブルの期間は、前記メモリセルのドレイン—ソース端子間の漏電流をビット線を介して読み込んで、リードデータを出力するセンスアンプ回路とからなる。

【0017】また、前記コントロールゲート電圧供給回路は、装置外部より供給される高電圧を昇圧して昇圧電圧を発生させる昇圧回路と、前記昇圧電圧を抵抗分割して複数の書き込み電圧、および複数の書き込み判定基準電圧を生成する抵抗回路と、前記判定回路から出力されるデータを入力して複数の書き込み電圧の中から選択する第1のスイッチング回路と、カウンタ回路から出力される所定のカウント値を入力して前記複数の書き込み判定基準電圧の中から選択する第2のスイッチング回路

40 と、書き込み電圧、および書き込み判定基準電圧を切り替えて、前記ワード線を介してメモリセルのコントロールゲートに出力する第3のスイッチング回路とから成り、前記判定回路は、装置外部より入力されるベリファイデータとセンスアンプから入力されるリードデータの照合を行い、判定結果を前記カウンタ回路、および装置外部に出力する比較回路と、前記判定回路のカウンタ回路よりカウント値を読み込み、また前記比較回路より前記判定結果を読み込んで、前記リードデータと前記ベリファイデータが一致した場合はその時点のカウント値を50 ラッチするラッチ回路と、メモリリード時には電源電圧

を、書き込み判定時には接地レベルより僅かに高い電圧を前記センスアンプに与え、書き込み時には電源電圧をピット線を介して前記メモリセルのドレイン端子に与えるドレイン電圧供給回路と、メモリリード時、および書き込み判定時には前記メモリセルのドレイン-ソース間電流を読み込み、リードデータを出力する前記センスアンプとから成る。

【0018】また、前記メモリセルがフラッシュROMのような電気的に消去可能な記憶素子の場合においては、書き込み、判定、および読み出し動作時は接地レベルの電圧を、消去動作時は高電圧を前記メモリセルのソース端子に出力するソース電圧供給回路を備える。

【0019】また、前記抵抗回路がポリサイド抵抗であることを特徴とする。

#### 【0020】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は本発明の第1の実施形態を示すブロック図、図2は図1の詳細ブロック図である。本実施形態は、コントロールゲート電圧供給回路1と、判定回路2と、メモリセル3とからなる。

【0021】コントロールゲート電圧供給回路1は、メモリセル3の読み出し結果に基づく判定回路2のデータによって書き込み電圧を選択する。高電圧VPPは装置外部よりコントロールゲート電圧供給回路1に供給される。書き込み信号WEは装置外部よりコントロールゲート電圧供給回路1、判定回路2に供給され、判定信号VEは装置外部よりコントロールゲート電圧供給回路1、判定回路2に供給され、データDLは判定回路2で生成されコントロールゲート電圧供給回路1、判定回路2に供給される。ワード線WLは、メモリセル3とコントロールゲート電圧供給回路1とに接続され、ピット線BLは、メモリセル3と判定回路2とを接続する。

【0022】コントロールゲート電圧供給回路1は図2に示すとおり、装置外部より供給される高電圧VPPを昇圧して昇圧電圧VPHを発生させる昇圧回路4と、前記昇圧電圧VPHを抵抗分割して複数の書き込み電圧WV1～WV5、および書き込み判定基準電圧VVを生成する抵抗回路5と、判定回路2から出力されるデータDLを読み込んで、書き込み信号WEがイネーブルの期間は、複数の書き込み電圧WV1～WV5のいずれかを、判定信号VEがイネーブルの期間では書き込み判定基準電圧VVを、読み出し信号READがイネーブルの期間では電源電圧VDDを選択し、ワード線WLを介してメモリセル3のコントロールゲートに出力する選択回路6とで構成される。

【0023】選択回路6は、図3の回路図に示すとおり、MOSトランジスタ13～24で構成されるスイッチング回路であり、書き込み電圧WV1～WV5、書き込み判定基準電圧VVおよび電源電圧VDDを入力電圧とし、読み出し信号READ、判定信号VE、データDL

Lおよび書き込み信号WEを選択信号として、ワード線WLに前記入力電圧の1つを選択して出力する。

【0024】判定回路2は、書き込み信号WEがイネーブルの期間は、電源電圧VDDをピット線BLを介してメモリセル3のドレイン端子に出力するトランジスタスイッチ回路12と、判定信号VEがイネーブルの期間は、メモリセル3のドレイン端子-ソース端子間の電流値をピット線BLを介して読み込んで、電流値に応じた電圧を出力する電流-電圧変換回路9と、出力された電圧によりデータを生成するA/Dコンバータ8と、データをラッチし、コントロールゲート電圧供給回路1、および装置外部端子に出力するラッチ回路7と、読み出し信号READがイネーブルの期間は、メモリセル3のドレイン-ソース端子間の電流をピット線BLを介して読み込んで、リードデータを出力するセンスアンプ10と、メモリセル3のソース電圧を供給するソース電圧供給回路11から構成される。

【0025】ここで、高電圧VPPは装置外部より昇圧回路4に供給される。読み出し信号READは装置外部よりセンスアンプ10、選択回路6に供給され、書き込み信号WEは装置外部より選択回路6、トランジスタスイッチ回路12に供給される。判定信号VEは装置外部よりラッチ回路7、A/Dコンバータ8、電流-電圧変換回路9、選択回路6に供給される。データDLは判定回路2で生成され選択回路並びに装置外部に出力され、選択回路6の出力はワード線WLを介してメモリセル3のゲート端子に接続される。メモリセル3のドレイン端子はピット線BLを介してトランジスタスイッチ回路12、電流-電圧変換回路9、センスアンプ10に接続される。リセット信号RSTは装置外部よりラッチ回路7に供給される。

【0026】電源電圧VDDは装置外部より選択回路6とトランジスタスイッチ回路12に供給される。抵抗回路5で電圧VPHを抵抗分割して生成された書き込み電圧WV1～WV5並びに書き込み判定基準電圧VVは選択回路6に供給される。電流-電圧変換回路9から出力される電圧を、A/Dコンバータ8に入力してデータDLに変換しデータDLをラッチ回路7でラッチする。センスアンプ10はリードデータREADDATAを装置外部に出力する。ソース電圧供給回路11より所定電圧をメモリセル3内のソース端子に供給する。

【0027】図4は図2の回路の動作を示すフロー図である。まず、装置外部よりプログラミングモードを開始する。一般的にはモードレジスタ設定後、高電圧VPPをあるタイミングで入力することにより、プログラミングモードに移行する。プログラミングモード開始を受けて、リセット信号RSTが装置外部より入力され、判定回路2内のラッチ回路7において、データDLの初期化を行う（ステップ42）。この場合の初期値としては「1」が適当であり、このデータDLの初期化は、後述

するステップ46における書き込み電圧の選択において、初めて書き込みを行うことをコントロールゲート電圧供給回路1内の選択回路6に示すためである。

【0028】次にステップ43で判定信号VEをディスエーブルにするが、この判定信号VEは装置外部より制御される。次にステップ44で書き込み信号WEをイネーブルにして、書き込み動作40を開始する、この書き込み信号WEも装置外部より制御される。前述のステップ42で設定したデータDLをステップ45で選択回路6に読み込む。ステップ45で読み込んだデータDLをもとに、ステップ46で選択回路6内で書き込み電圧を選択する。この書き込み電圧は、抵抗回路5で電圧VPHを抵抗分割して生成された書き込み電圧WV1～WV5のうちから選択する。なお、この時点ではデータDLが初期値の「1」であるのでMOSトランジスタ15がONし、もっとも低い書き込み電圧WV5が選択される。ステップ46で選択された書き込み電圧は、ワード線WLを介してメモリセル3のコントロールゲートに出力される（ステップ47）。

【0029】次にステップ48でメモリセル3のコントロールゲートには書き込み電圧、ソースにはソース電圧供給回路11より接地レベルの電圧、ドレインには電源電圧VDDが印加され、書き込みが実行される。この書き込みの実行時間は、メモリセル3内において、ホットキャリアが発生してフローティングゲートに蓄積するのに必要最低限の時間を設定する。この時間は、10～100μsが最も適当である。ステップ48で設定した一定の書き込み時間が経過した後、書き込み信号WEをステップ49でディスエーブルし、ステップ50で書き込み信号WEがディスエーブルになったのを受けて、選択回路6、およびMOSトランジスタ12はメモリセル3に対して電圧出力を終了し、書き込み動作40は完了する。

【0030】次にステップ51で判定信号VEをイネーブルにして判定動作41を開始するが、この判定信号VEも装置外部より制御される。この判定信号VEがイネーブルになったのを受けて、選択回路6はステップ52で書き込み判定基準電圧VVをワード線WLに出力する。メモリセル3のコントロールゲートには書き込み判定基準電圧VV、ソースにはソース電圧供給回路11より接地レベルの電圧を与えて、次にステップ53でメモリセル3のドレイン～ソース間の電流をピット線BLを介して電流～電圧変換回路9に読み込む。フローティングゲートの電位が書き込み判定基準電圧より高ければ、ドレイン～ソース間に電流は流れないと、低ければ電流が流れ。次にステップ54で電流～電圧変換回路9で、読み込んだ電流の値に応じた電圧を発生する。電流～電圧変換回路9から出力される電圧を、A/Dコンバータ8に入力してステップ55でデータDLに変換する。次にステップ56でデータDLをラッチ回路7でラ

ッチする。判定信号VEをディスエーブルにし、選択回路6、およびMOSトランジスタ12はメモリセル3に対して電圧出力を終了し、判定動作41は完了する（ステップ57）。

【0031】オペレーター、もしくはROMライターは、判定回路2より出力されたデータDLを読み出して、メモリセル3のしきい値が書き込み判定基準電圧VVまで書き込まれたか判断を行う（ステップ58）。メモリセル3のしきい値が書き込み判定基準電圧VVに到達していない場合は、再びステップ44からステップ58まで繰り返が、ステップ46においては、一回目の書き込み動作では最も低い書き込み電圧WV5を選択したが、二回目以降はデータDLにより、徐々に高い書き込み電圧WV4～WV1を順次選択していく。なお本実施形態では、書き込み電圧を5つに分割した場合を説明したが、分割数に制限はない。

【0032】図5は本発明の第2の実施形態を示す回路のブロック図である。本実施形態は、第1の実施形態に加えて書き込み電圧の生成に可変抵抗回路を用い、またデータ変換に容量素子を用いている。コントロールゲート電圧供給回路1の抵抗回路5は、昇圧電圧VPHを降圧して書き込み判定基準電圧VVを生成する抵抗回路5と、また判定回路2から出力されるデータDLを入力し、抵抗値を可変させて書き込み電圧WVを生成する可変抵抗回路25とからなり、判定回路2は、判定信号VEがイネーブルの期間は、メモリセル3のドレイン端子～ソース端子間の電流を、容量素子30に充電する第1のスイッチ回路29と、書き込み信号WEがイネーブルの期間は、電源電圧VDDをピット線BLを介してメモリセル3のドレイン端子に出力するトランジスタスイッチ回路12と、容量素子の電圧値をデータとして可変抵抗回路25に出力する第2のスイッチ回路31と、読み出し信号READがイネーブルの期間は、メモリセル3のドレイン～ソース端子間の電流をピット線BLを介して読み込んで、リードデータを出力するセンスアンプ回路10と、メモリセル3のソース電圧を供給するソース電圧供給回路11から構成される。

【0033】高電圧VPPは装置外部より昇圧回路4に供給される。読み出し信号READは装置外部よりトランジスタスイッチ回路28、センスアンプ10に供給される。書き込み信号WEは装置外部より選択回路6、トランジスタスイッチ回路12、トランジスタスイッチ回路26に供給され、判定信号VEは装置外部よりトランジスタスイッチ回路27、スイッチ回路31に供給される。データDLは判定回路2で生成され可変抵抗回路25並びに装置外部に出力される。リセット信号RSTは装置外部より供給されて容量素子に供給される。メモリセル3のゲート端子はワード線WLを介してトランジスタスイッチ回路26、27、28と接続され、メモリセル3のドレイン端子はピット線BLを介して、センスア

ンプ10、スイッチ回路31、トランジスタスイッチ回路12と接続している。電源電圧VDDは装置外部よりトランジスタスイッチ回路12、28に供給される。ソース電圧供給回路11より所定電圧をメモリセル3内のソース端子に供給する。

【0034】昇圧回路4で生成された昇圧電圧VPHは抵抗回路5と可変抵抗回路25に供給され、可変抵抗回路25で生成された書き込み電圧WVはトランジスタスイッチ回路26供給され、抵抗回路5で生成された書き込み判定基準電圧VVはトランジスタスイッチ回路27に供給される。センスアンプ10はリードデータRead DATAを装置外部に出力する。メモリセル3のドレインーソース間の電流をビット線BLとスイッチ回路31を介して容量素子30を充電する。

【0035】図6は図5の回路の動作を示すフロー図である。まず装置外部よりプログラミングモードを開始する。プログラミングモード開始を受けて、ステップ43で判定信号VEをディスエーブルにしこの判定信号VEは装置外部より制御される。次にステップ42でリセット信号RSTが装置外部より入力され、判定回路2内の容量素子30の充電を行い、データDLの初期化を行う。次にステップ44で書き込み信号WEをイネーブルにして書き込み動作40を開始する。この書き込み信号WEは装置外部より制御される。次に前述したステップ42で設定したデータDLをステップ45で可変抵抗回路25に読み込む。ステップ45で読み込んだデータDLをもとに可変抵抗回路25の抵抗値を変え、昇圧電圧VPHを変圧してステップ60で書き込み電圧WVを生成する。なお、この時点ではデータDLが初期値であるので、もっとも低い書き込み電圧になるように設定する。ステップ60で生成された書き込み電圧WVは、ステップ47でワード線WLを介してメモリセル3のコントロールゲートに出力される。次にステップ48でメモリセル3のコントロールゲートには書き込み電圧WV、ソースにはソース電圧供給回路11より接地レベルの電圧、ドレインには電源電圧VDDが印加され、書き込みが実行される。書き込みの実行時間は、メモリセル3内において、ホットキャリアが発生してフローティングゲートに蓄積するのに必要最低限の時間を設定する。この時間は、10～100μsが最も適当である。

【0036】ステップ48で設定した一定の書き込み時間が経過した後、ステップ49で書き込み信号WEをディスエーブルにする。書き込み信号WEがディスエーブルになったのを受けて、MOSトランジスタ12、および26はメモリセル3に対して電圧出力を終了し、書き込み動作40は完了する(ステップ50)。次にステップ51で判定信号VEをイネーブルにして判定動作41を開始し、容量素子30の放電を行う。この判定信号VEは装置外部より制御される。判定信号VEがイネーブルになったのを受けて、ステップ52でMOSトランジ

スター27は書き込み判定基準電圧VVをワード線WLに出力する。メモリセル3のコントロールゲートには書き込み判定基準電圧VV、ソースにはソース電圧供給回路11より接地レベルの電圧を与え、スイッチ回路31を開放して、ステップ70でメモリセル3のドレインーソース間の電流をビット線BLを介して容量素子30を充電する。判定信号VEをディスエーブルにし、MOSトランジスタ12、および27はメモリセル3に対して電圧出力を終了し、判定動作41は完了する(ステップ57)。

【0037】判定回路2より出力されたデータDLを読み出して、メモリセル3のしきい値が書き込み判定基準電圧VVまで書き込まれたか判断を行う(ステップ58)。メモリセル3のしきい値が書き込み判定基準電圧VVに到達していない場合は、書き込み動作40、および判定動作41を繰り返すが、ステップ46の書き込み電圧の選択の動作において、ステップ60でのデータDLの電圧値をもとに、可変抵抗回路25の抵抗値を変えて書き込み電圧WVを出力するが、データDLの電圧値により可変抵抗回路25の抵抗値を変動させ、徐々に高い書き込み電圧を出力する。

【0038】本発明の第2の実施形態は、第1の実施形態の効果に加えて書き込み電圧の生成に可変抵抗回路を用い、またデータ変換に容量素子を用いているため、それぞれリニアリティの確保された書き込み電圧、変換データを得ることができる。

【0039】図7は本発明の第3の実施形態を示すプロック図である。本形態は、第1、2の実施形態の効果に加えて、書き込み判定基準電圧を徐々に低い書き込み判定基準電圧を選択することができる。コントロールゲート電圧供給回路1は、装置外部より供給される高電圧VPPを昇圧して昇圧電圧VPHを発生させる昇圧回路4と、昇圧電圧VPHを抵抗分割して複数の書き込み電圧WV、および複数の書き込み判定基準電圧VVを生成する抵抗回路5と、判定回路2から出力されるデータDLを入力して複数の書き込み電圧WVの中から選択する第1のスイッチング回路32と、カウンタ回路34から出力される所定のカウント値を入力して複数の書き込み判定基準電圧VVの中から選択する第2のスイッチング回路33と、書き込み電圧WV、および書き込み判定基準電圧VVを切り替えて、ワード線WLを介してメモリセル3のコントロールゲートに出力する第3のスイッチング回路35とから成り、判定回路2は、装置外部より入力されるベリファイデータVerify DATAとセンスアンプから入力されるリードデータの照合を行い、判定結果をラッチ回路37、カウンタ回路34、および装置外部に出力する比較回路36と、カウンタ回路34よりカウント値を読み込み、また比較回路36より判定結果を読み込んで、リードデータとベリファイデータが一致した場合はその時点のカウント値をラッチするラッチ

回路37と、メモリリード時には電源電圧を、書き込み判定時には接地レベルより僅かに高い電圧をセンスアンプ38に与え、書き込み時には電源電圧をピット線を通してメモリセル3のドレイン端子に与えるドレイン電圧供給回路39と、メモリリード時、および書き込み判定時にはメモリセル3のドレインソース間電流を読み込み、リードデータを出力するセンスアンプ38と、メモリセル3のソース電圧を供給するソース電圧供給回路11から構成される。

【0040】高電圧VPPは装置外部より昇圧回路4に供給される。読み出し信号READは装置外部よりスイッチング回路35、センスアンプ38、ドレイン電圧供給回路39に供給され、書き込み信号WEは装置外部よりスイッチング回路35、ドレイン電圧供給回路39に供給される。判定信号VEは装置外部よりドレイン電圧供給回路39、比較回路36、カウンタ回路34、スイッチング回路35、センスアンプ38に供給される。リセット信号RSTは装置外部よりラッチ回路37に供給され、データDLはラッチ回路37で生成されスイッチング回路32並びに装置外部に出力される。ペリファイデータVerif y DATAは装置外部より比較回路36に供給される。

【0041】メモリセル3のゲート端子はワード線WLを介してスイッチング回路35と接続され、メモリセル3のドレイン端子はピット線BLを介してドレイン電圧供給回路39、センスアンプ38に接続している。ソース電圧供給回路11より所定電圧をメモリセル3内のソース端子に供給する。スイッチング回路32の出力書き込み電圧WVとスイッチング回路33の出力書き込み判定基準電圧VVはスイッチング回路35に供給される。

【0042】昇圧回路4で生成された昇圧電圧VPHは抵抗回路5に供給され、抵抗回路5で生成された書き込み電圧WV1～WV4と書き込み判定基準電圧VV1～VV4は夫々スイッチング回路32とスイッチング回路33に供給される。

【0043】比較回路36の出力はカウンタ回路34、ラッチ回路37に供給され、また判定結果CMPとして装置外部に出力される。ラッチ回路37の出力はスイッチング回路32に供給される。センスアンプ38はリードデータRead DATAを比較回路36並びに装置外部に出力する。ドレイン電圧供給回路39はメモリセル3に対して電圧出力する。

【0044】図8は図7の回路の動作を示すフロー図である。まず装置外部より、プログラミングモードを開始する。一般的にはモードレジスタ設定後、高電圧VPPをあるタイミングで入力することにより、プログラミングモードに移行する。プログラミングモード開始を受けて、リセット信号RSTが装置外部より入力され、判定回路2内のラッチ回路37において、データDLの初期化を行う(ステップ42)。このデータDLは、後述

するステップ46における書き込み電圧の選択において、初めて書き込みを行うことをコントロールゲート電圧供給回路1内のスイッチング回路32に示すためである。ステップ43で判定信号VEをディスエーブルにするが、この判定信号VEは装置外部より制御される。ステップ44で書き込み信号WEをイネーブルにして書き込み動作40を開始する、この書き込み信号WEも装置外部より制御される。ステップ42で設定したデータDLをステップ45でスイッチング回路32に読み込む。

10ステップ45で読み込んだデータDLをもとに、ステップ46でスイッチング回路32内で書き込み電圧WVを選択する。この書き込み電圧WVは、抵抗回路5で電圧VPHを抵抗分割して生成された電圧WV1～WV4のうちから選択する。なお、この時点ではデータDLが初期値であるので、もっとも低い電圧WV4が選択される。

【0045】書き込み信号WEがイネーブルの期間はスイッチング回路35において、書き込み電圧WVがワード線WLを介してメモリセル3のコントロールゲートに出力される(ステップ47)。メモリセル3のコントロールゲートには書き込み電圧WV、ソースにはソース電圧供給回路11より接地レベルの電圧、ドレインにはドレイン電圧供給回路39より電源電圧VDDが印加され、書き込みが実行される(ステップ48)。書き込みの実行時間は、メモリセル3内において、ホットキャリアが発生してフローティングゲートに蓄積するのに必要最低限の時間を設定する。この時間は、10～100μsが最も適当である。ステップ48で設定した一定の書き込み時間が経過した後、書き込み信号WEをステップ3049でディスエーブルにする。書き込み信号WEがディスエーブルになったのを受けて、スイッチング回路35、およびドレイン電圧供給回路39はメモリセル3に対して電圧出力を終了し、書き込み動作40は完了する(ステップ50)。判定信号VEをイネーブルにしてステップ51でカウンタ回路34のカウント値をリセットする。この判定信号VEは装置外部より制御される。判定信号VEがイネーブルになったのを受けて、カウンタ回路34は1回カウントを行い、ステップ81でカウント値をスイッチング回路33に出力する。カウンタ回路

4034よりカウント値を読み込んで、抵抗回路5より抵抗分割された電圧VV1～VV4の中から書き込み判定基準電圧VVをステップ82で選択する。なお、この時点においてはカウント値が1回目であるので、もっとも高い書き込み判定基準電圧VV1を選択する。スイッチング回路35において、書き込み判定基準電圧VVをワード線WLに出力する(ステップ83)。

【0046】次にステップ84でメモリセル3のコントロールゲートには書き込み判定基準電圧VV、ソースにはソース電圧供給回路11より接地レベルの電圧を与え50て、メモリセル3のドレインソース間の電流をピット

15

線BLを介してセンスアンプ38に読み込み、リードデータRead DATAを出力する。比較回路36で、装置外部より入力されるペリファイデータVerify DATAとセンスアンプ38より入力されるリードデータRead DATAとを照合して一致しているか判定を行い、ステップ85で判定結果CMPをラッチ回路37、カウンタ回路34、および装置外部に出力するステップ85で、ペリファイデータVerify DATAとリードデータRead DATAが一致しなければ、ステップ81からステップ86を繰り返す(ステップ86)。但しステップ81が実行される毎にカウンタ回路34は1回づつカウントを行い、ステップ82においては、カウント値により書き込み判定基準電圧はVV1～VV4まで徐々に低い書き込み判定基準電圧を順次選択する。

【0047】ペリファイデータVerify DATAとリードデータRead DATAが一致していれば、カウンタ値をラッチ回路37でラッチする(ステップ56)。判定信号VEをディスエーブルにし、スイッチング回路35、およびドレイン電圧供給回路39はメモリセル3に対して電圧出力を終了し、判定動作41は完了する(ステップ57)。判定回路2より出力されたデータDLを読み出して、メモリセル3のしきい値が書き込み判定基準電圧VVまで書き込まれたか判断を行う(ステップ58)。メモリセル3のしきい値が書き込み判定基準電圧VVに到達していない場合は、書き込み動作40、および判定動作41を繰り返すが、ステップ46の書き込み電圧の選択の動作において、一回目の書き込み動作では最も低い書き込み電圧WV4を選択したが、二回目以降はデータDLにより、徐々に高い書き込み電圧WV3～WV1を順次選択していく。なお本実施形態では、書き込み電圧、および書き込み判定基準電圧を4つに分割した場合を説明したが、分割数に制限はない。

【0048】本発明の第3の実施の形態は、第1、2の実施形態の効果に加えて、書き込み判定基準電圧はVV1～VV4まで、徐々に低い書き込み判定基準電圧を順次選択する事ができ、細かい書き込み判定が可能である。

【0049】なお、以上の実施形態において、ソース電圧供給回路11は、書き込み、判定、及び読み出し動作のみを行っているので、接地レベルの電圧を出力する定電圧電源で実現できるが、例えばメモリセル3がフラッシュROMなど電気的に消去可能な記憶素子の場合においては、書き込み、判定、および読み出し動作時は接地レベルの電圧を、消去動作時は高電圧VPPをメモリセル3のソース端子に出力する回路である。

【0050】また、抵抗回路はポリサイド抵抗のような拡散層より絶縁された構造をとる事が望ましい。

【0051】更に、判定動作回数が増えることで、判定に要する時間が余計にかかることが考えられるが、一回の書き込み時間が10～100μsに対し、一回の判定

16

に要する時間は、MOSトランジスタがONする時間、およびセンスアンプの放電時間に必要な時間である100n～1μsであり、判定時間は一回の書き込み時間に比べてじゅうぶん小さいので問題にはならない。

#### 【0052】

【発明の効果】以上説明したように、本発明は次のような効果が上げられる。第1点目は、生産性の低下を招くことなく、書き込みデータの信頼性が向上する。第2点目は、製造歩留まりの低下を招くことなく、生産コストを削減できる。

【0053】まず第1の効果として、生産性の低下を招くことなく書き込みデータの信頼性向上が実現できる。従来は、書き込み時において、非選択セルのバックゲートまで負電位が供給されてしまうため、すでに書き込まれているデータの保持抜けを招き、またこれを防ぐためには、メモリセル毎のP基板の分割によるレイアウト面積の増大で生産性の低下を招いていた。それに対し本発明では、選択、非選択セルに関わらずメモリセル3のバックゲートには同じ接地レベルの電位を供給すればよいので、メモリセル毎のP基板分割をすることなく、非選択メモリセルの書き込みデータの保持抜けを防ぐことができ、高い信頼性を実現できるという効果がある。

【0054】つぎに第2の効果として、製造歩留まりの低下を招くことなく生産コストを削減できる。従来の回路では、メモリセルのしきい値が書き込み判定基準電圧に到達しているかを判定して判定結果を出力する機能、少なくとも頻繁に判定する機能を有しておらず、また判定結果をもとに書き込み電圧を制御する機能を有していないため、書き込み時間を本来必要な時間に対し余分にとる必要があり、製造コストの増大を招いていた。もしくは生産コストを削減するため書き込み時間を一定に制限すると、個々のメモリセル、製造ロット、および製造プロセスにおいて、製造歩留の低下を招いていた。これに対し本発明による回路では、一回あたりの書き込み時間を短くし、判定動作を頻繁に行うことで必要最低限の書き込み時間で済み、書き込み動作の初期では書き込み電圧を低くできるので、速やかに書き込みが始り、かつ書き込み動作の後半では書き込み電圧を高くできるので、より少ない書き込み時間で高い書き込みレベルを実現できるため、個々のメモリセル、製造ロットおよび製造プロセスによって書き込み特性が変動しても、最も効率的な書き込みを図れるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すブロック図である。

【図2】第1の実施形態を示すブロック図である。

【図3】第1の実施形態におけるスイッチング回路を示す回路図である。

【図4】第1の実施形態におけるフローチャート図である。

50

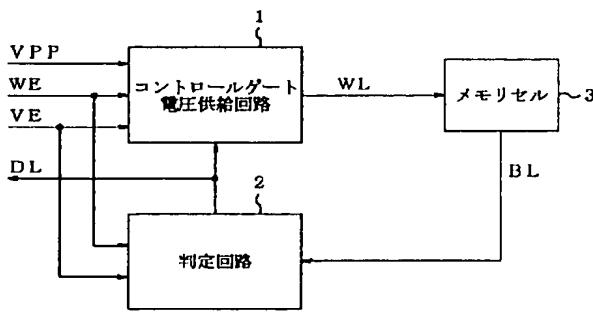
17

- 【図5】第2の実施形態を示すブロック図である。
- 【図6】第2の実施形態におけるフローチャート図である。
- 【図7】第3の実施形態を示すブロック図である。
- 【図8】第3の実施形態におけるフローチャート図である。
- 【図9】ROMの書き込み特性グラフである。
- 【図10】従来の1実施形態における断面図である。
- 【図11】従来の1実施形態における回路図である。

## 【符号の説明】

- 1 コントロールゲート電圧供給回路
- 2 判定回路
- 3 メモリセル
- 4 昇圧回路
- 5 抵抗回路
- 6 選択回路
- 7 ラッチ回路
- 8 A/Dコンバータ
- 9 電流-電圧変換回路
- 10 センスアンプ
- 11 ソース電圧供給回路
- 12 トランジスタスイッチ回路
- 13～24 MOSトランジスタ
- 26～28 トランジスタスイッチ回路
- 25 可変抵抗回路
- 29, 31 スイッチ回路
- 30 容量素子
- 32, 33, 35 スイッチング回路
- 34 カウンタ回路
- 36 比較回路
- 37 ラッチ回路
- 38 センスアンプ

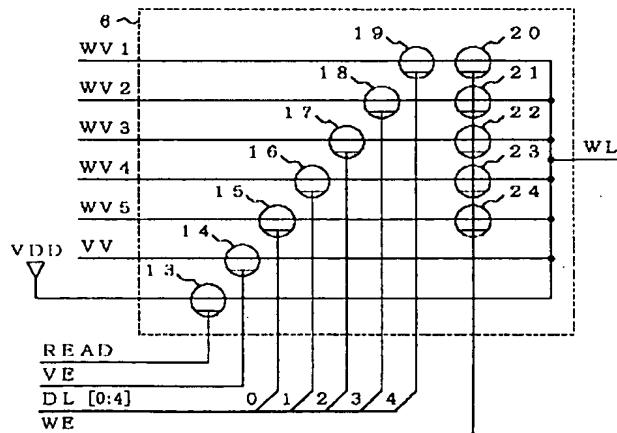
【図1】



18

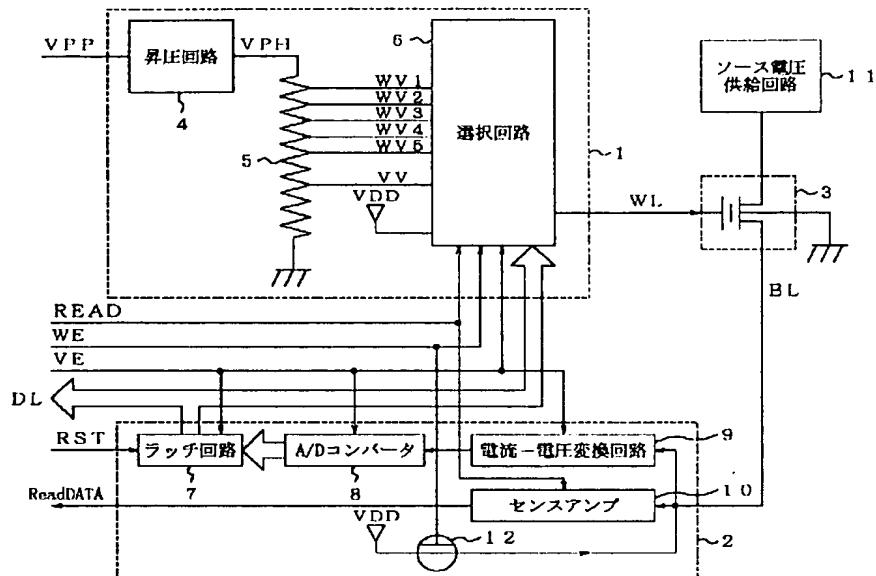
- |                     |              |
|---------------------|--------------|
| 3 9                 | ドレイン電圧供給回路   |
| 1 0 0               | 基板           |
| 1 0 1               | フィールド酸化膜     |
| 1 0 2               | ソース領域        |
| 1 0 3               | ドレイン領域       |
| 1 0 4               | メモリセル        |
| 1 0 5               | バックゲート層      |
| 1 0 6               | バックゲート電圧供給回路 |
| 1 1 0               | ゲート酸化膜       |
| 10 1 1 1            | フローティングゲート   |
| 1 1 2               | コントロールゲート    |
| B L                 | ピット線         |
| B L 1 ~ B L n       | ピット線         |
| C M P               | 判定結果         |
| D L                 | データ          |
| M 1 1 ~ M n n       | メモリセル        |
| R E A D             | 読み出し信号       |
| R e a d D A T A     | リードデータ       |
| R S T               | リセット信号       |
| 20 S A              | セルアレイ        |
| V B G               | バックゲート電圧     |
| V D D               | 電源電圧         |
| V E                 | 判定信号         |
| V e r i f y D A T A | ベリファイデータ     |
| V P H               | 昇圧電圧         |
| V P P               | 高電圧          |
| V V                 | 書き込み判定基準電圧   |
| V V 1 ~ V V 4       | 書き込み判定基準電圧   |
| W E                 | 書き込み信号       |
| 30 W L              | ワード線         |
| W L 1 ~ W L n       | ワード線         |
| W V 1 ~ W V 5       | 書き込み電圧       |

【図3】

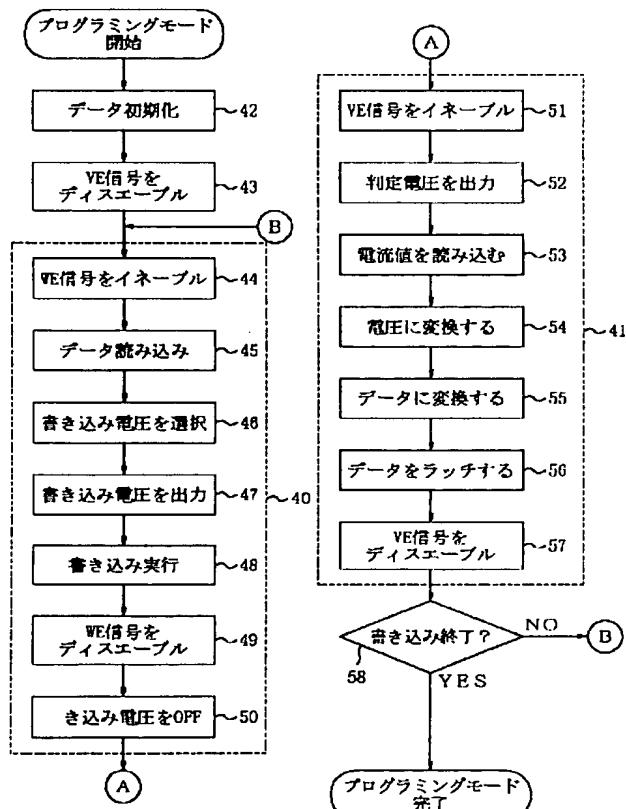


RIGHT AVAILABLE COPY

【図2】



【図4】



【図6】

